



# Разработка системы сбора данных эксперимента SPD

*Бойков А.В.*

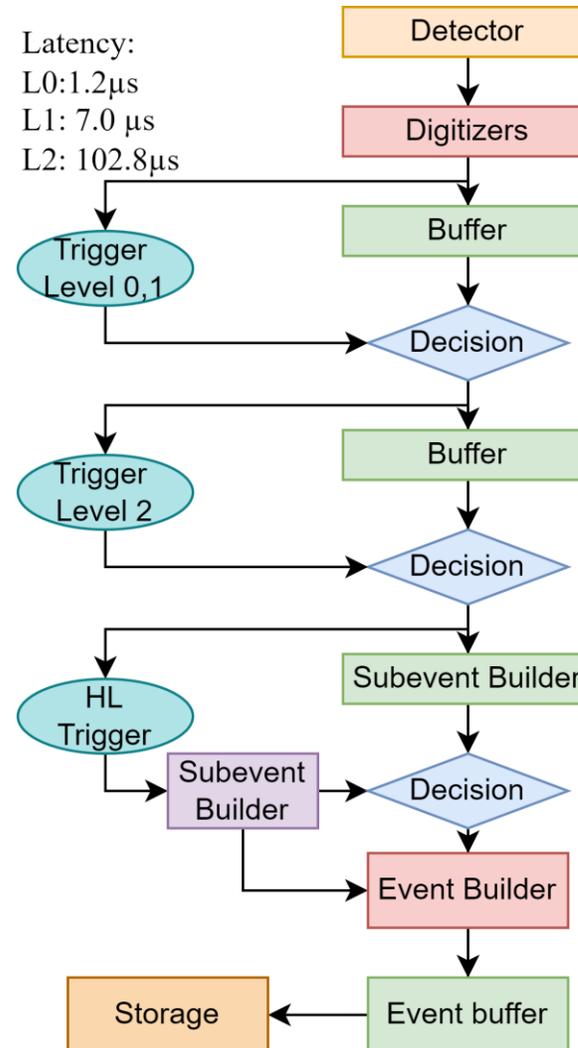
*от имени группы DAQ SPD*

Сессия-конференция СЯФ ОФН РАН

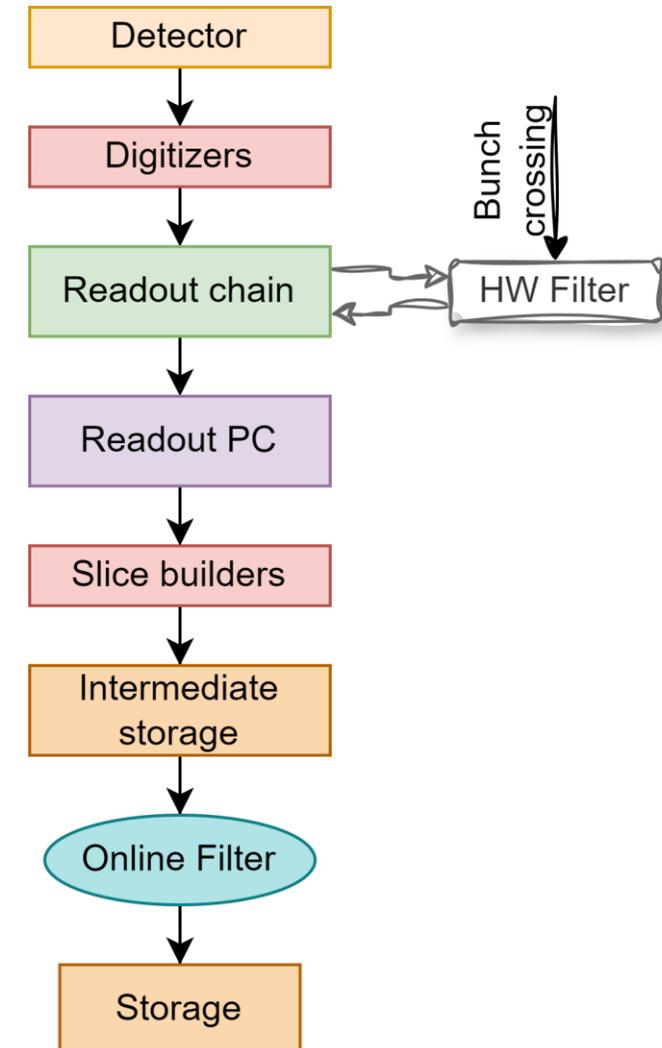
# Концепция *triggerless DAQ* (1)

- Оцифровка только по порогу  
*Все каналы работают независимо, а каждый сигнал имеет временную метку*
- Исключение потерь потенциально интересных событий  
*Ни одно физическое событие не отбрасывается на аппаратном уровне.*
- Отсутствие принудительной буферизации на FEE  
*Данные передаются по принципу FIFO без задержек на считывающей электронике*
- Большой потенциал масштабируемости архитектуры  
*Увеличение числа каналов и добавление новых систем без изменения архитектуры.*
- Программный отбор событий  
*Позволяет формировать более сложные критерии отбора событий*
- Упрощённая аппаратная часть  
*Отсутствие обратных связей по каналу данных упрощает структуру и повышает надёжность системы.*

## Триггерная(классическая) DAQ

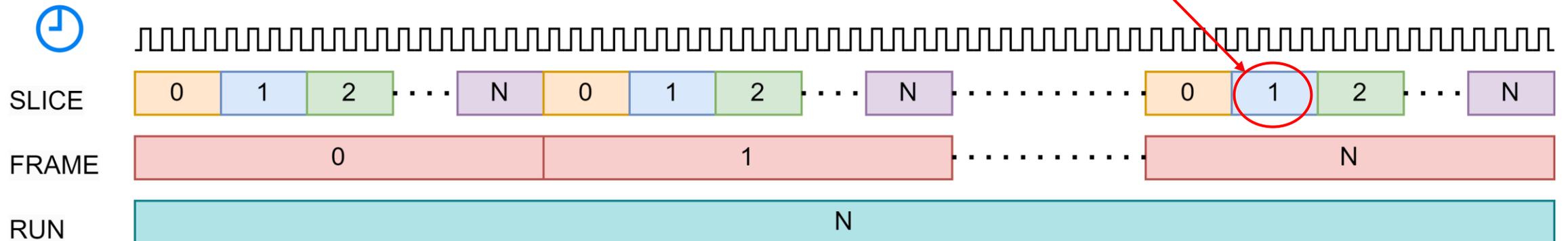
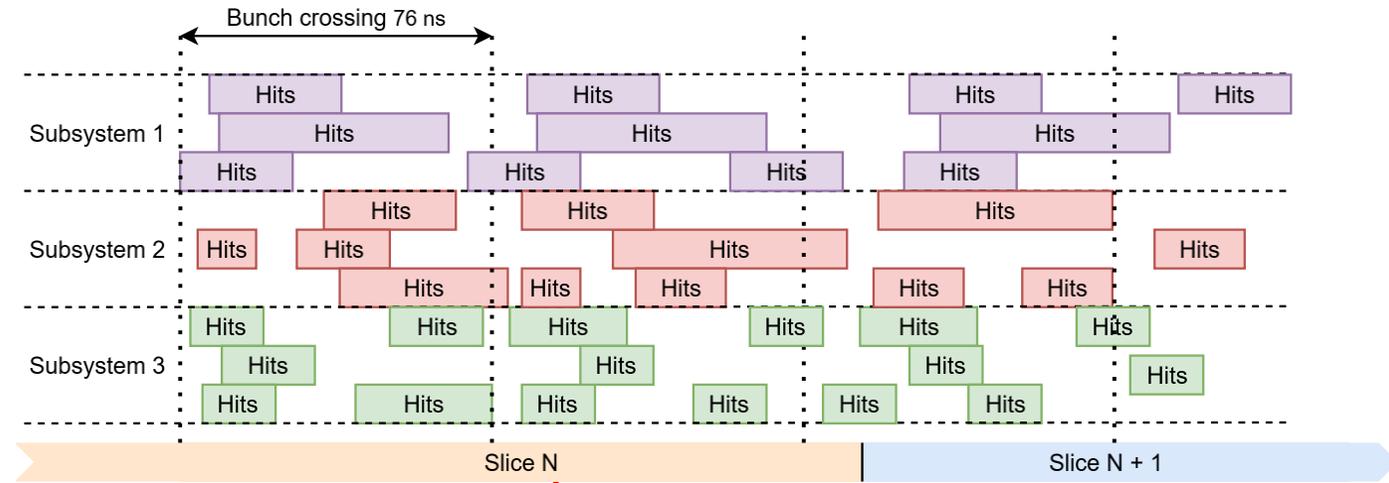


## Triggerless DAQ



# Концепция *triggerless DAQ* (2)

- Slice (Фрагмент):  $10 \div 100$  мксек.
- Frame (Кадр):  $0.1 \div 10$  с
- Run:  $1 \div 10$  ч
- Каждая цепочка считывания “Асинхронна” относительно других.
- Временная метка “Цепляется” в момент оцифровки
- Нерывность времени в Front-end электронике в рамках кадра
- Управление с помощью синхронных/асинхронных команд



# Детектор SPD

## ФАЗА 1:

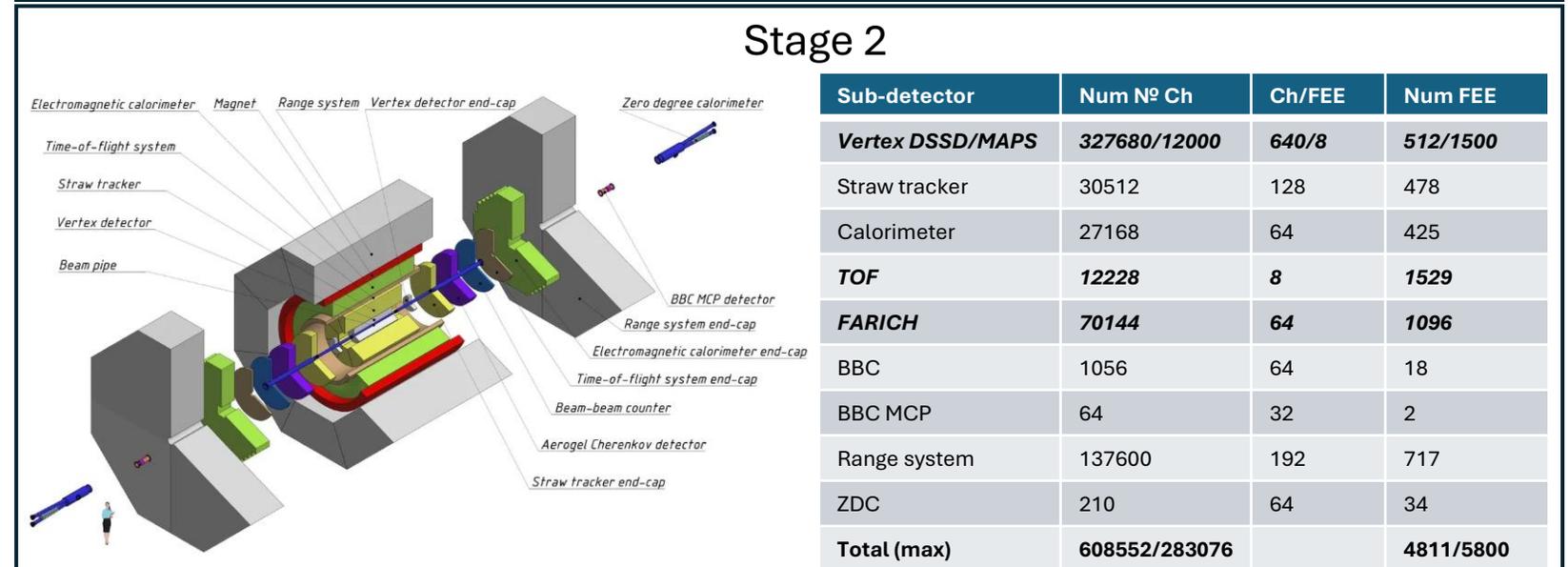
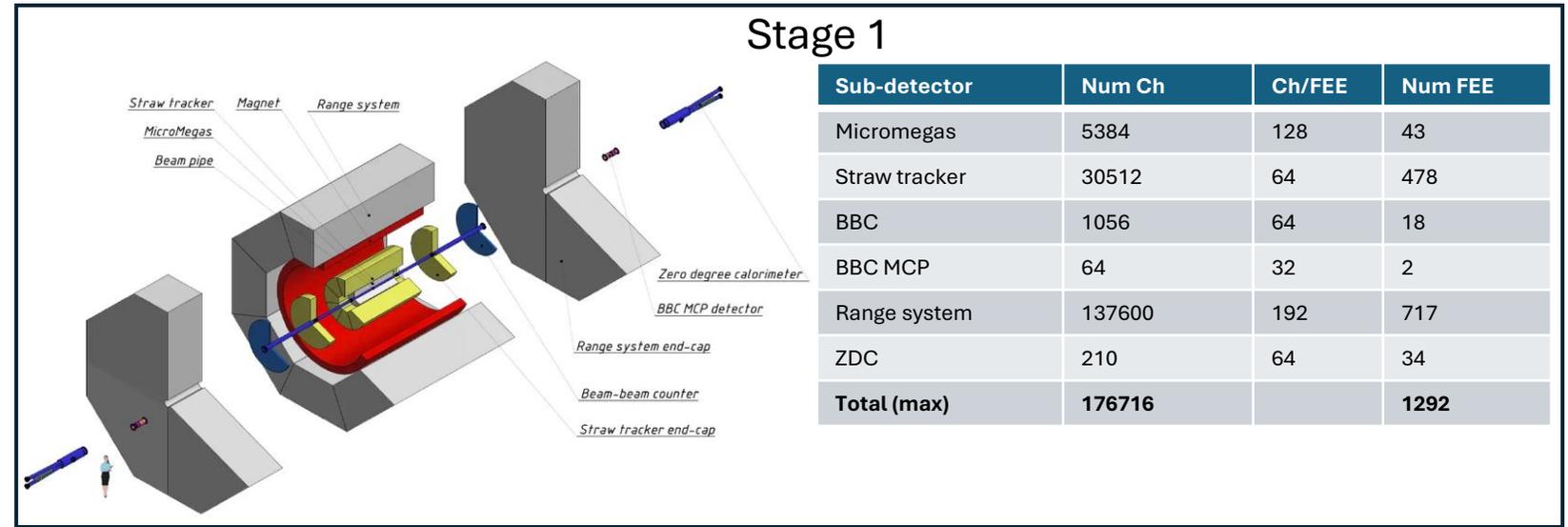
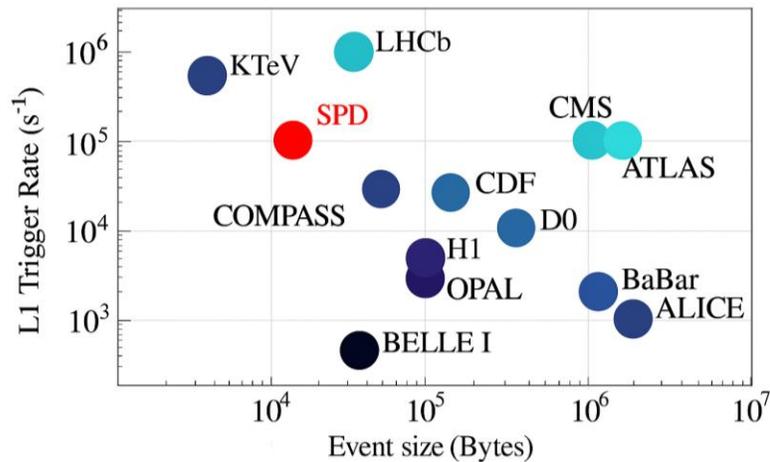
- Детекторных подсистем: 6\*
- Interaction rate:  $4 \times 10^5$
- Ожидаемый поток данных: 1 GB/s

## ФАЗА 2:

- Детекторных подсистем: 9
- Interaction rate:  $4 \times 10^6$
- Поток данных: >20 GB/s

Bunch crossing: 76 ns

Частота синхронизации: 125 Mhz



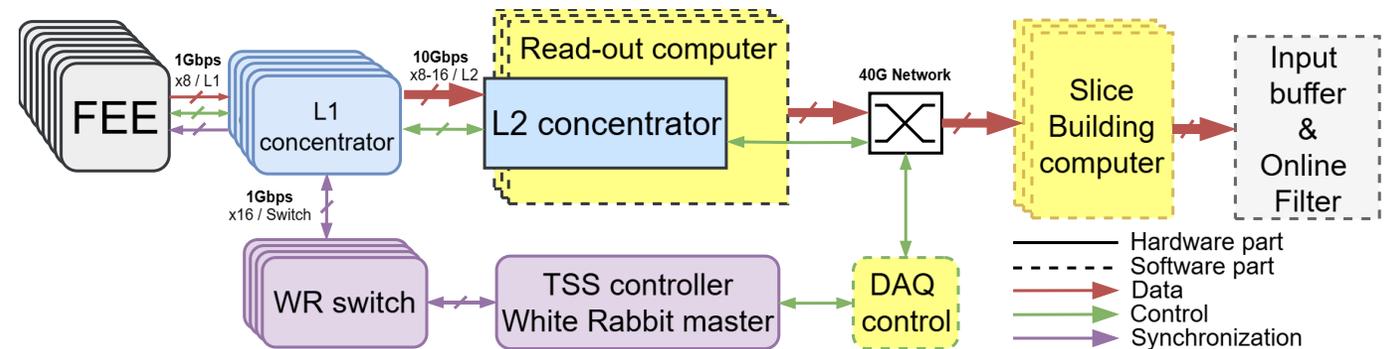
\* + частично E-CAL Endcap

# Общая структура DAQ

- Цепочка чтения
  - L1 – Level 1 concentrator
  - L2 – Level 2 concentrator
  - Read-out computer
- Система синхронизации
- Система построения слайсов
- Пропускная способность на один порт:
  - FEE - L1: 1.25 Gbps
  - L1 - L2: 10 Gbps
  - Read-out computer – Slice building system: 40 Gbps

SPD Stage	FEE Outputs	L1 (8 ports)	L2 (16 ports)	Read-out PC	Slice Builders
First	~1292	>165	>12	>6-12	>5
Second	~5800	>730	>50	>25-50	>40

- Каждый элемент системы работает как сетевое устройство
- Сети синхронизации и данных изолированы друг от друга
- Дублирование доступа всем концентраторам L1 через сеть синхронизации



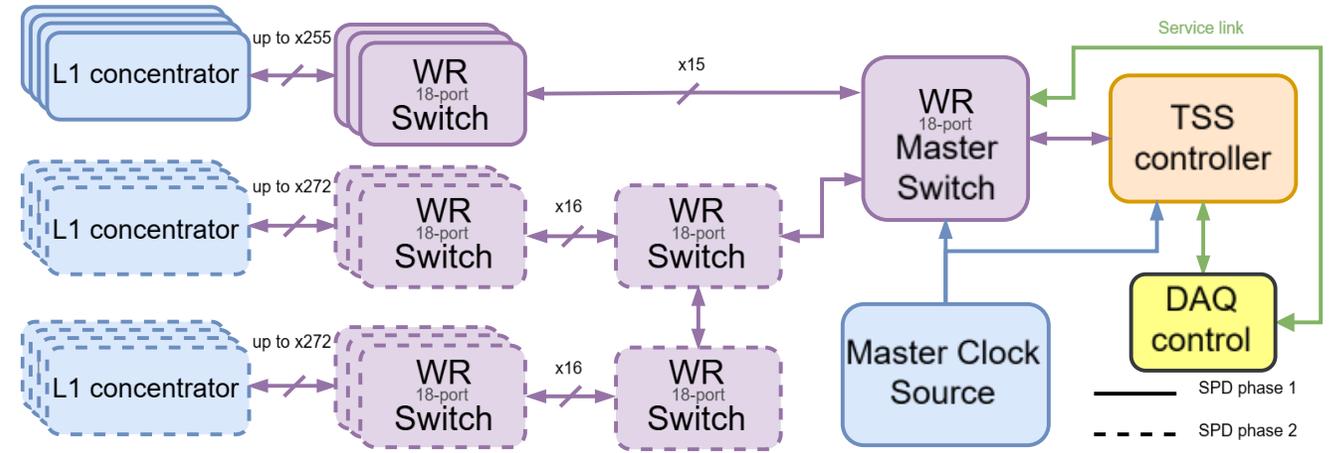
# Синхронизация (White Rabbit)

## Задачи системы синхронизации:

- Генерация и распределение тактовой частоты 125 МГц с точностью лучше 1 нс и “джиттером” лучше 50 пс для конечного FEE
- Генерация и распределение синхронных команд по детектору

## Компоненты:

- TSS контроллер
- Сверхстабильный источник тактового сигнала
- Коммутаторы с поддержкой White Rabbit на 18 портов
- White Rabbit ноды, интегрированные в L1 концентраторы

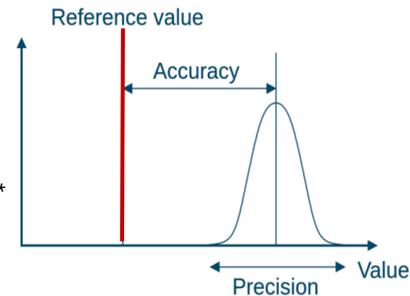


**Достигнуто для сети WR** из нескольких коммутаторов после аппаратного сброса:

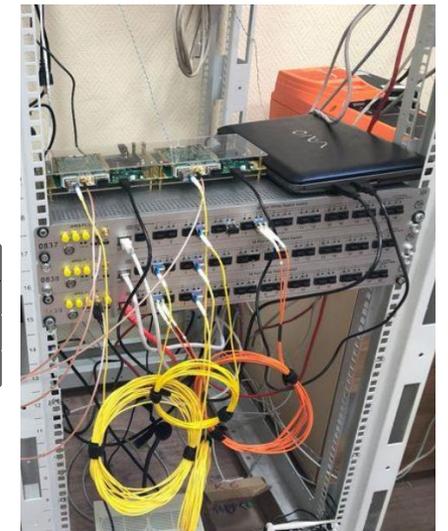
- <80 ps PPS (accuracy) *clock skew*
- <12 ps PPS (precision) *jitter*

Температурный эффект (заявлено):

- 10 ps/°C skew error (*достижимо 2 ps/°C*)\*
- Незначительный jitter error



WR Switch type	Ports 1-12 (LPDC ports)		Ports 13-18	
	Accuracy	Precision	Accuracy	Precision
“Standard”	<10 ps	<10 ps	<100 ps	<10 ps
“Low-jitter”	<10 ps	<1 ps	<100 ps	<1 ps



\* arXiv:1406.4223v1 (2014 г)

# Система концентраторов

## Задачи концентратора первого уровня:

Агрегация данных с FEE, организация управления FEE, распределение синхросигнала и синхронных команд. Формирование управляющих команд для считывающей электроники

## Элементы:

- 8 MiniSAS разъемов – распределение синхронизации, управление и считывание данных с FEE
- 2 SFP разъема для обеспечения каналов связи для передачи данных и синхронизации
- Целевая FPGA: Cyclone 10 GX

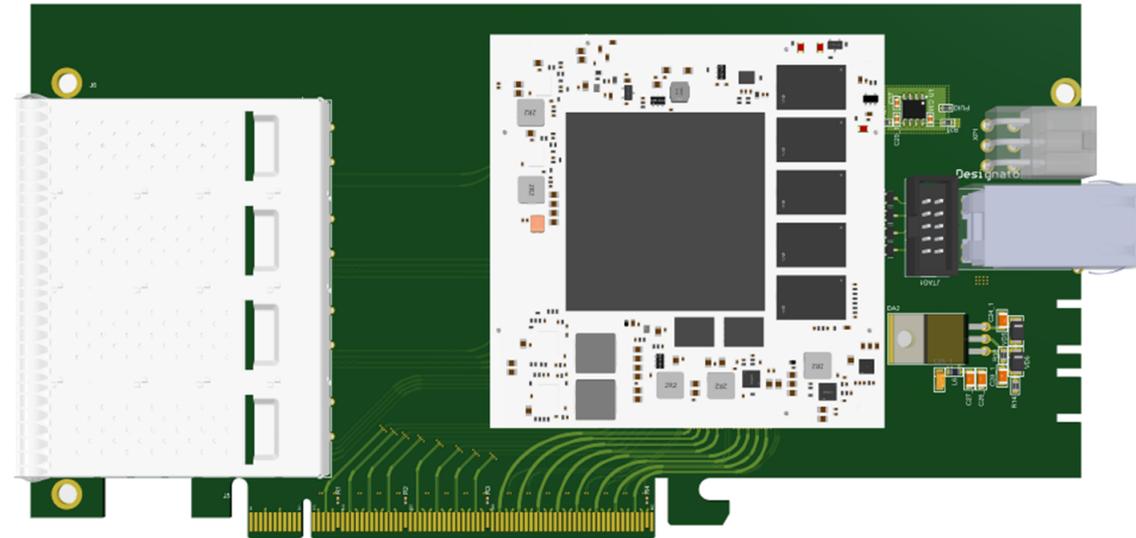


## Задачи концентратора второго уровня:

Агрегация данных с концентраторов первого уровня, маршрутизация управляющих пакетов, первичная сортировка данных.

## Элементы:

- 4 QSFP обеспечивающие до 16 оптических каналов связи с L1
- Медный Rg45 для организации управления и мониторинга
- PCIe 3 16x – для передачи сортированных данных в сервер
- Целевая FPGA Kintex US+ (Alinx ACKU15)
- 10 GB ОЗУ для организации процесса сортировки



# Концентратор L2 (Сортировка)

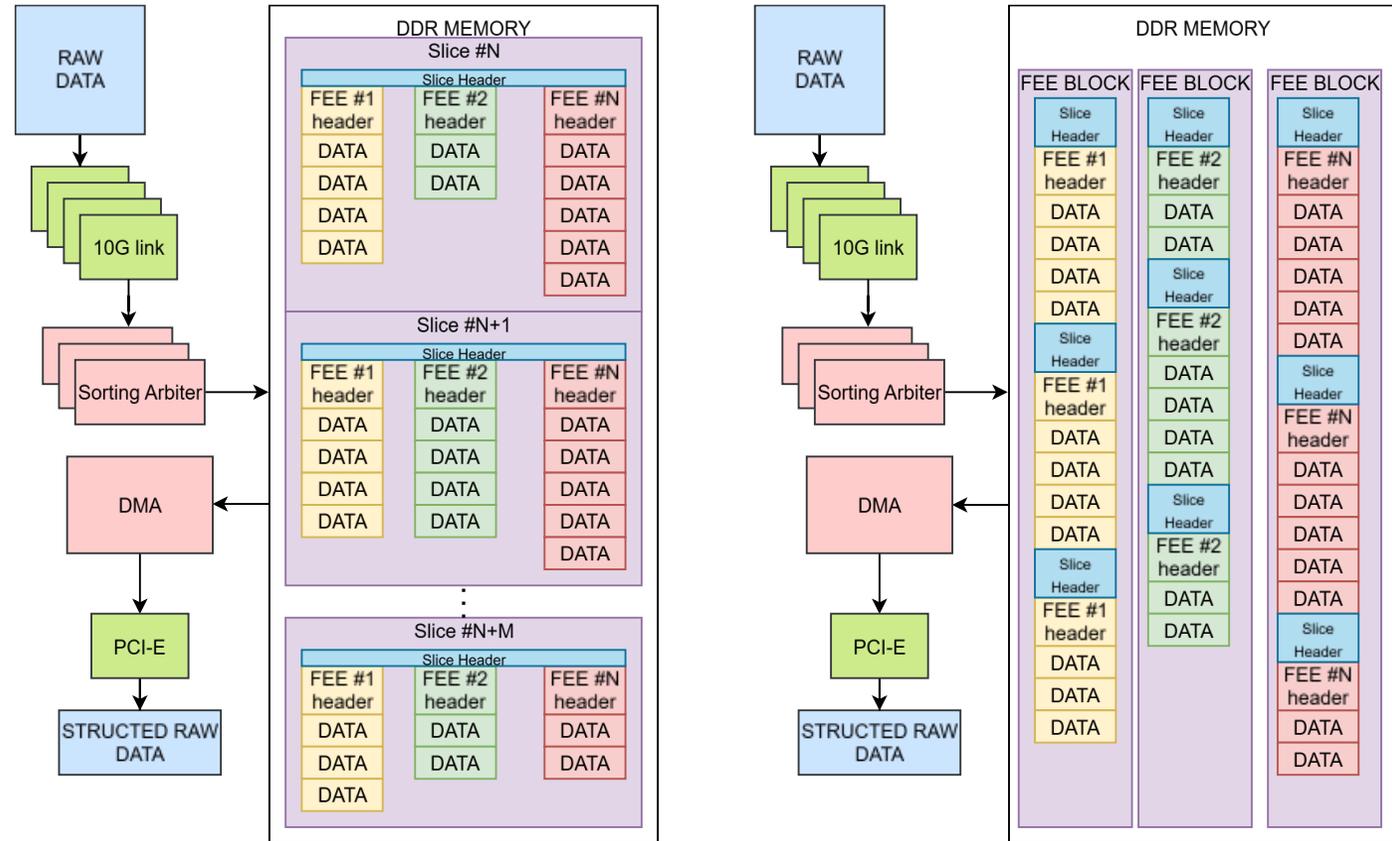
## Структурирование данных

- Объединение данных с одного отрезка
- Устранение *асинхронности* данных
- Оптимизация пропускной способности (Укрупнение блоков с данными)
- Отслеживание “Дыр” в данных
- Снятие нагрузки с компьютерных систем.

Данные “разбросаны по времени” нужна сортировка.

## Подходы к сортировке

- *Сортировка по слайсам & FEE блокам* - готовый блок данных не требующий дополнительной обработки
  - Есть ограничение, по времени приема отрезков (slice)
  - Фиксированный размер буфера для каждого FEE
- *Сортировка по FEE блокам* – требуется группирование данных для последующей работы программной части DAQ
  - Нет ограничений по времени
  - Нет фиксации размера буфера
  - Необходимо ждать все блоки данных за один промежуток времени



# Система построения слайсов

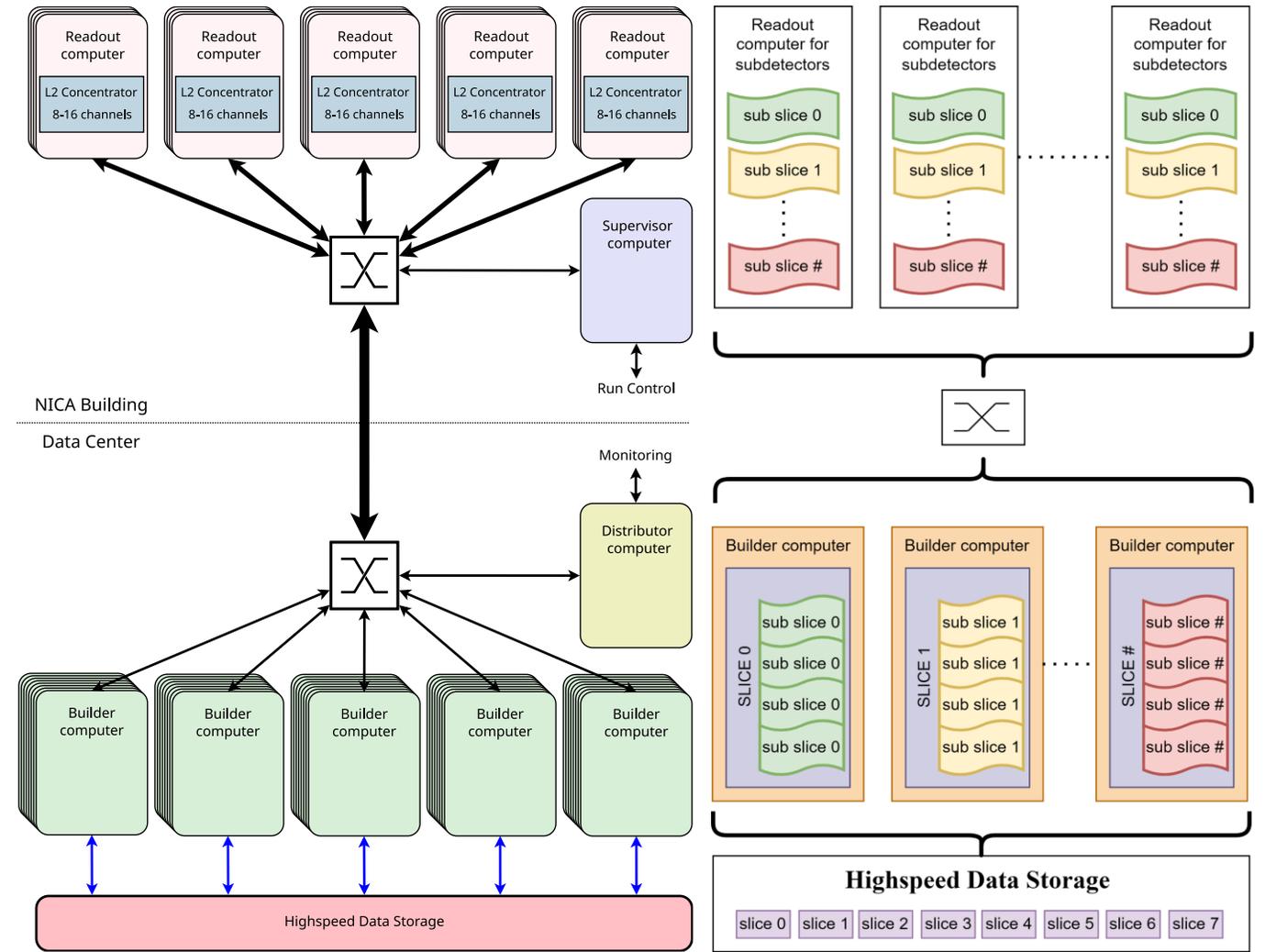
## Задача

Основной задачей системы построения слайсов является объединение sub-slice с каждого Read-out компьютера в цельную структуру данных, для последующей обработки в онлайн фильтре.

Дополнительно, система может обеспечивать доступ к сырым данным (sub-slice) для детекторных групп в целях мониторинга набираемых данных до обработки в онлайн фильтре.

## Компоненты

- Read-out – Получение sub-slice с каждой детекторной системы
- Builder – объединение sub-slice и формирование единой структуры данных
- Supervisor – арбитраж системы построения слайсов
- Distributor – предоставление сырых данных для мониторинга



# Мониторинг и управление

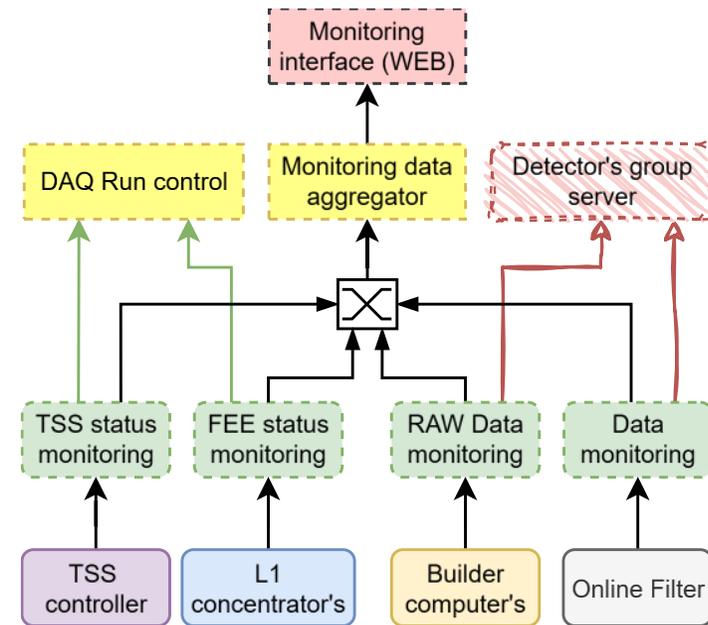
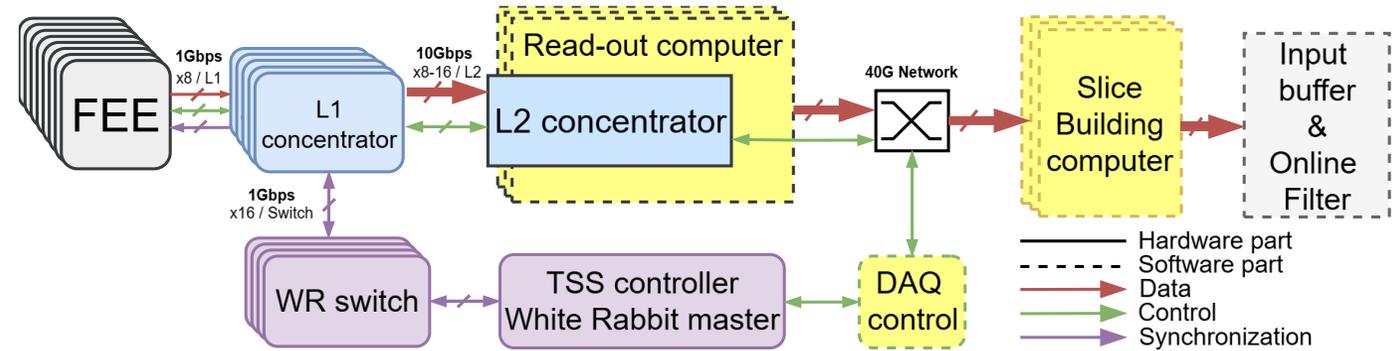
Управление всей системой осуществляется через “DAQ Control”.

Все управление FEE осуществляется через цепочку чтения. С использованием выделенной сети до концентратора L2. Каждый концентратор L1 в этой сети будет виден как отдельное устройство.

## Мониторинг:

- Состояние FEE и объем данных с каждого FEE
- Ошибки при передаче данных
- Состояние системы синхронизации
- *Предоставление сырых данных, для детекторных групп*
- *Предоставление данных после онлайн фильтра для детекторных групп*

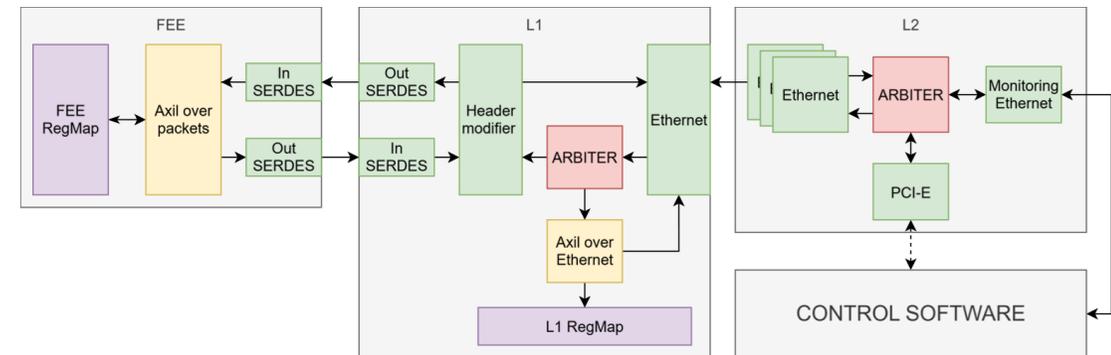
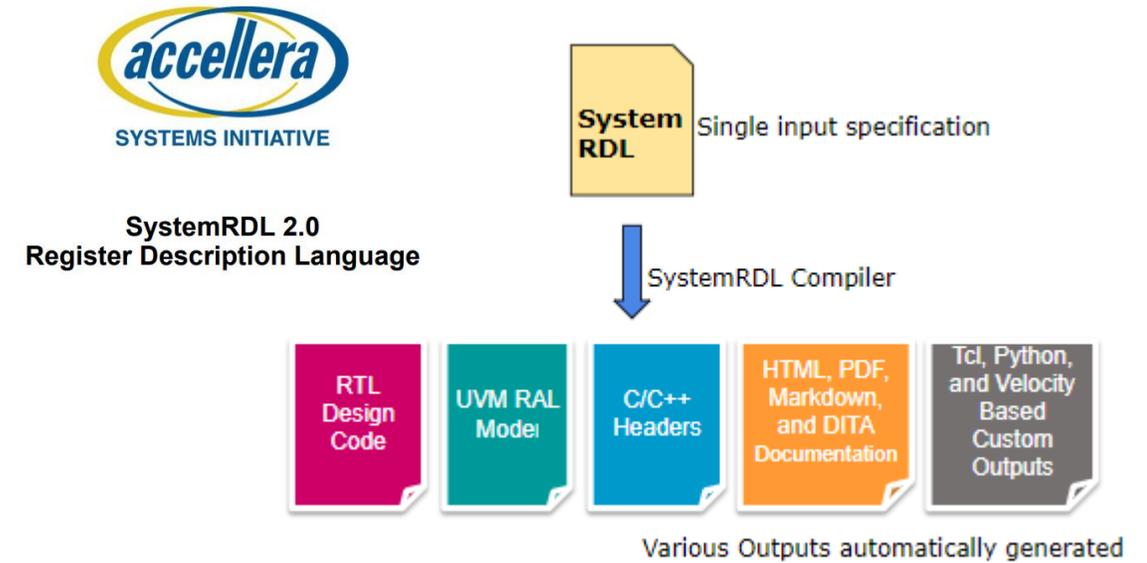
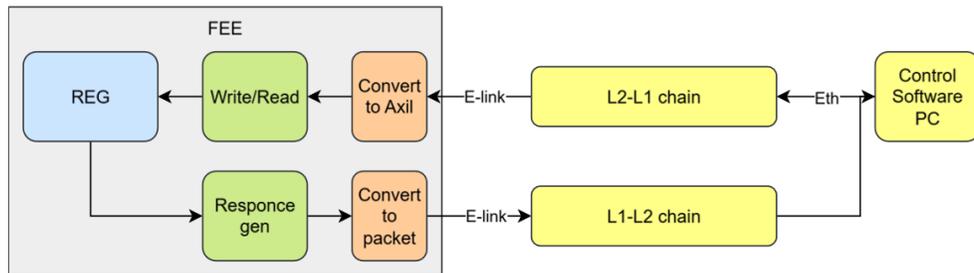
Мониторинг состояния FEE и L1 будет осуществляться через систему сообщений, формируемых в L1 концентраторе.



# Механизм Axil-Pkt-Axil

Механизм представляет собой инкапсуляцию memory-mapped шины в пакет (в частности Ethernet) с последующей распаковкой на конечном устройстве. Нет необходимости производить дополнительные конвертации на аппаратных элементах системы сбора данных.

- Обеспечивается управление и мониторинг всеми элементами системы через единый механизм. Проще поддерживать, и развивать.
- Всегда есть обратная связь, на каждый запрос формируется ответ.
- Возможность организации обновления Firmware без создания еще одной процедуры.
- Нет зависимости от платформы. (Синтезируемо на любом FPGA)
- Предоставляется как IP с документацией для разработчиков FEE
- Длина одного запроса ограничена 1500 байт



# Заключение

Разрабатываемая система сбора данных строится на базе современных и коммерчески доступных технологий. Что упрощает её масштабируемость и исключает необходимость “зависеть от специализированных решений”.

Ожидается, что такой тип DAQ способен обеспечить необходимую пропускную способность свыше 20 ГБ/с и при этом сохранить все интересующие данные в рамках работы SPD.

Система синхронизации, в частности технология White Rabbit способна обеспечить необходимую точность выставление временной метки для последующей обработки данных.

За последний год завершена концептуализация и начата детальная проработка каждого из направлений

Работы по разработке концентратора второго уровня осуществляются при поддержке гранта Правительства Российской Федерации (Соглашение № 075-15-2025-009 от 28.02.2025 г.)

Работы по системе синхронизации осуществляются при поддержке гранта Правительства Российской Федерации (FSEG-2025-0009)



МЕЖДУНАРОДНАЯ  
МЕЖПРАВИТЕЛЬСТВЕННАЯ  
ОРГАНИЗАЦИЯ

**ОБЪЕДИНЕННЫЙ ИНСТИТУТ  
ЯДЕРНЫХ ИССЛЕДОВАНИЙ**



Национальный  
исследовательский

**Томский  
государственный  
университет**



**ПОЛИТЕХ**

Санкт-Петербургский  
политехнический университет  
Петра Великого



Спасибо за внимание

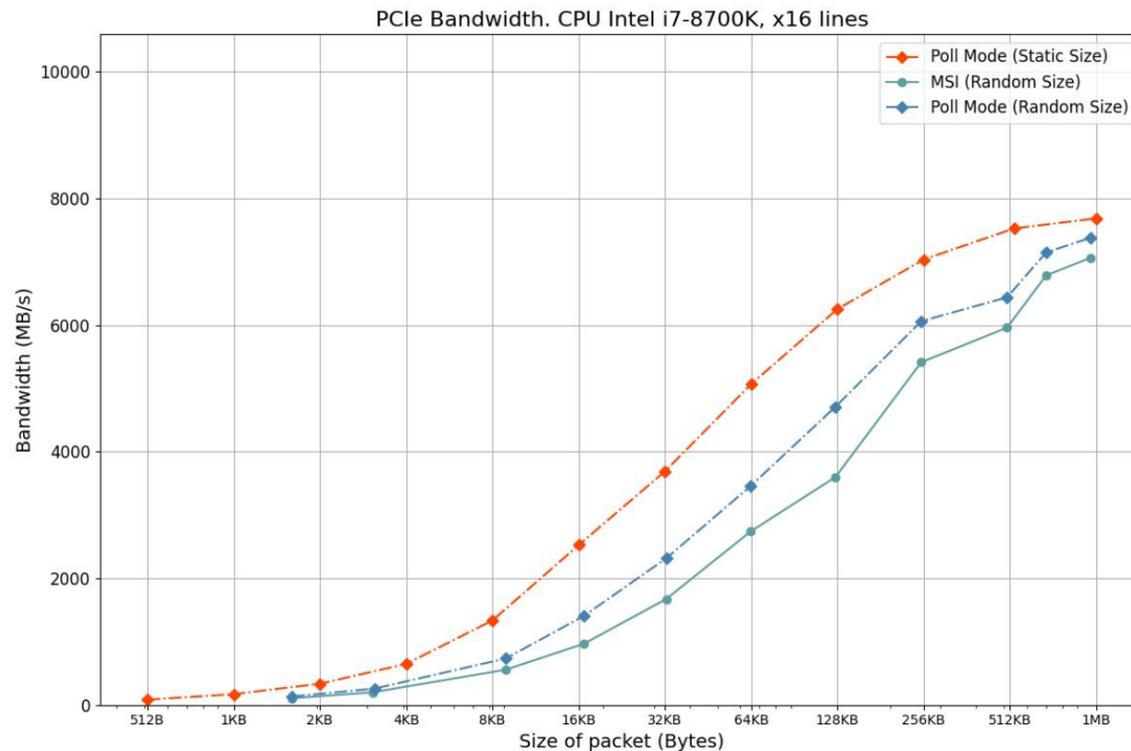
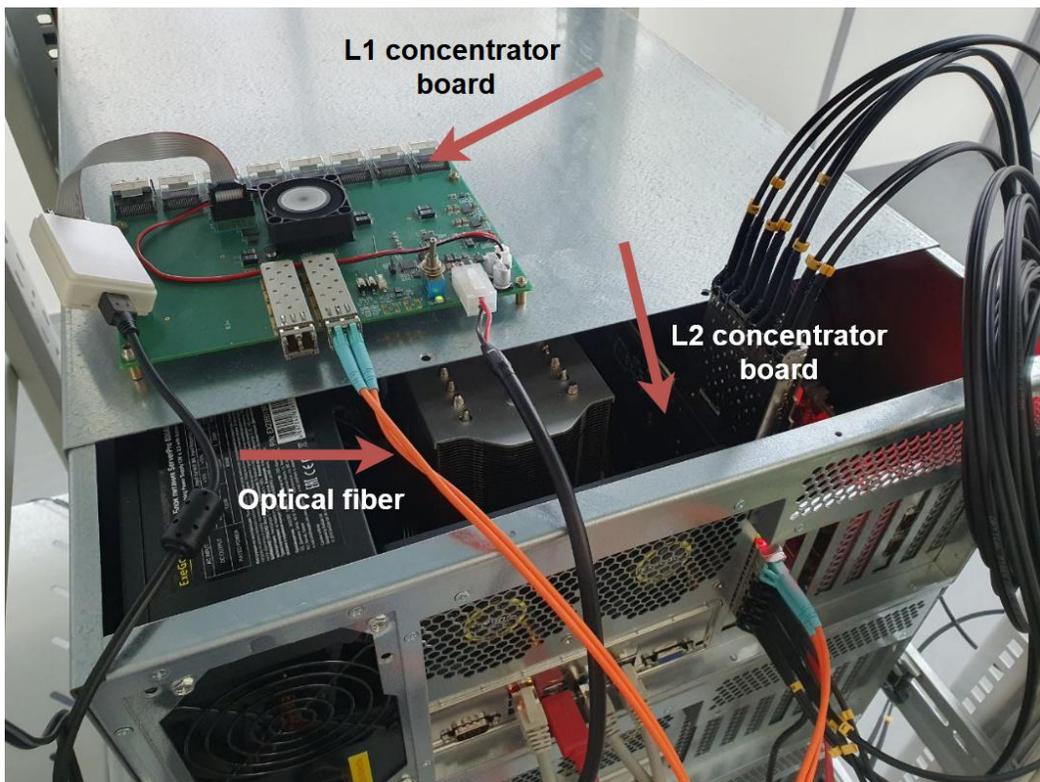


# BACKUP

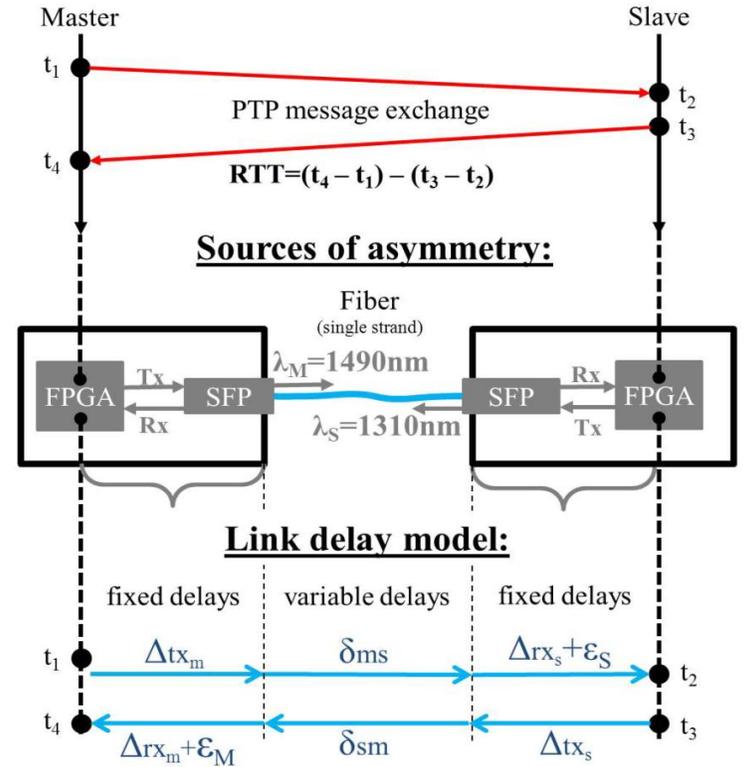
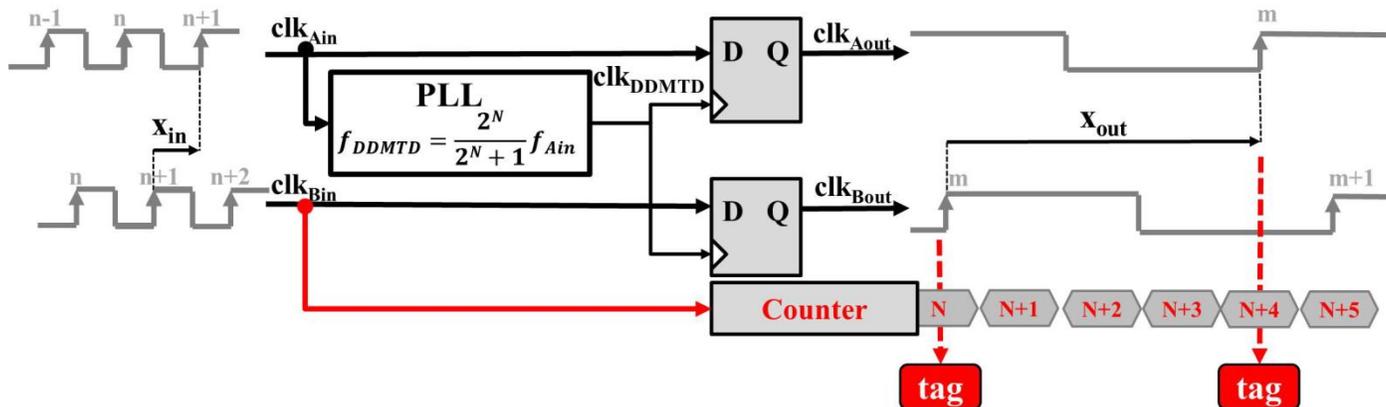
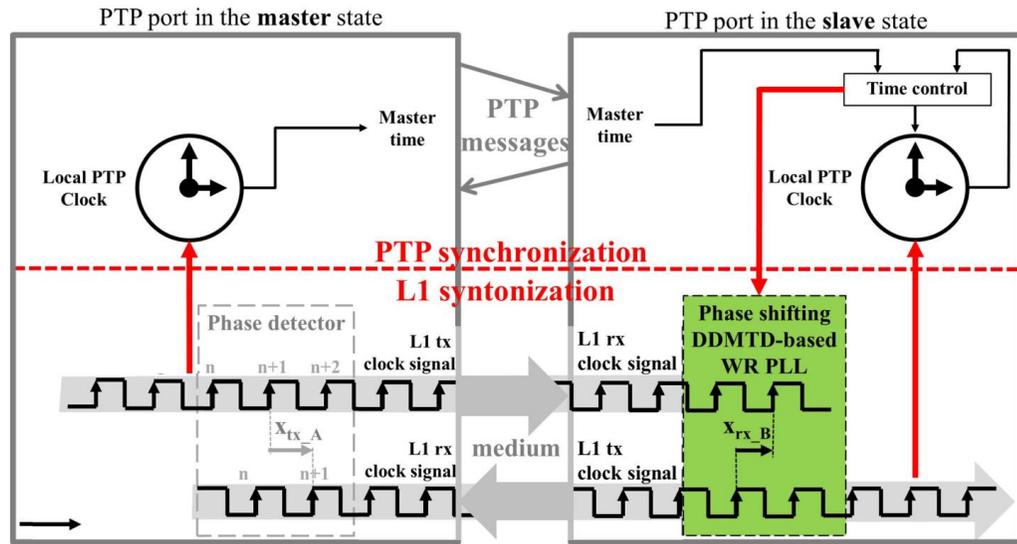
# Концентратор L2 (Тесты)

## Проведены тесты:

- Пропускной способности PCIe и оптических линков
- Стабильности работы PCI и оптических линков
- Передачи команд управления в L1 и обработки ответов



TX	RX	Status	Bits	Errors	BER	BERT Reset	TX Pattern
						Reset	
Quad_131/MGT_X0Y19/TX (xczu19_0)	Quad_230/MGT_X0Y24/RX (xczu19_0)	10.313 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit
Quad_131/MGT_X0Y17/TX (xczu19_0)	Quad_230/MGT_X0Y25/RX (xczu19_0)	10.312 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit
Quad_131/MGT_X0Y16/TX (xczu19_0)	Quad_230/MGT_X0Y26/RX (xczu19_0)	10.312 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit
Quad_131/MGT_X0Y18/TX (xczu19_0)	Quad_230/MGT_X0Y27/RX (xczu19_0)	10.312 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit
Quad_230/MGT_X0Y26/TX (xczu19_0)	Quad_131/MGT_X0Y16/RX (xczu19_0)	10.313 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit
Quad_230/MGT_X0Y25/TX (xczu19_0)	Quad_131/MGT_X0Y17/RX (xczu19_0)	10.313 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit
Quad_230/MGT_X0Y27/TX (xczu19_0)	Quad_131/MGT_X0Y18/RX (xczu19_0)	10.313 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit
Quad_230/MGT_X0Y24/TX (xczu19_0)	Quad_131/MGT_X0Y19/RX (xczu19_0)	10.312 Gbps	5.782E14	0E0	1.73E-15	Reset	PRBS 31-bit



# Тесты системы синхронизации после калибровки

Измерялось:

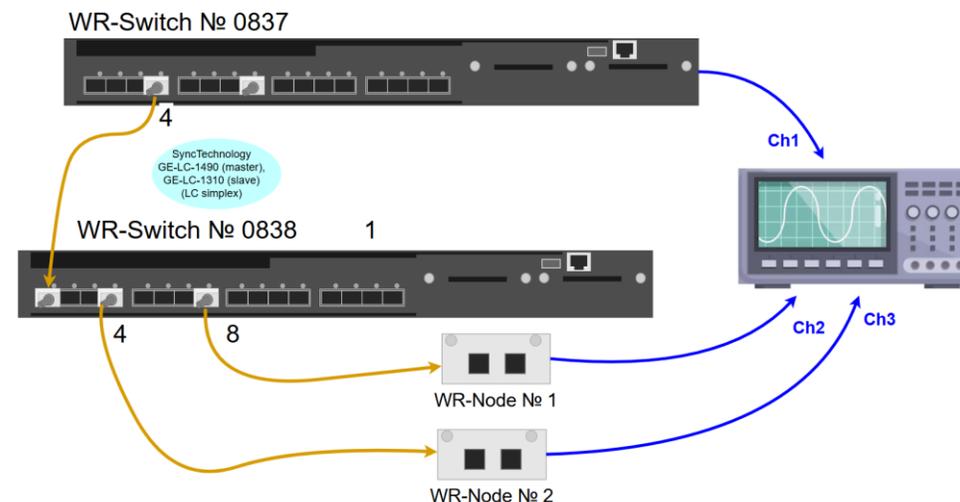
- Задержка между мастером и нодами
- Задержка между нодами

Измерения проводились по выходному сигналу PPS (*Pulse Per Second*)

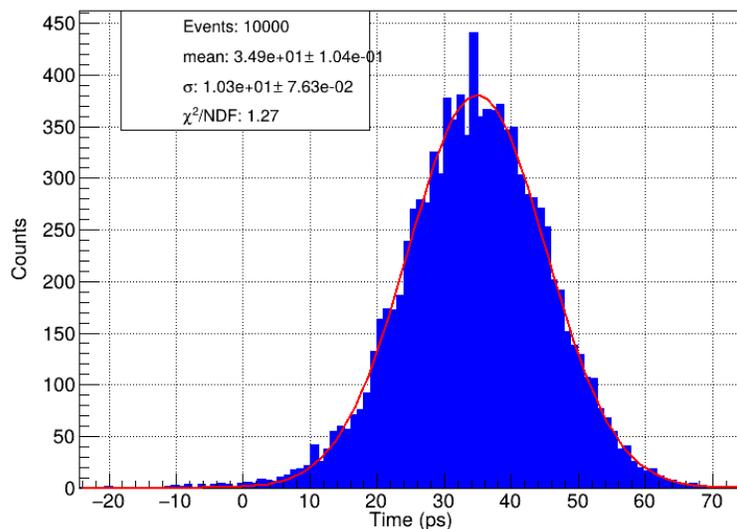
Результаты повторяются после сбросов

Возможно оценить отклонение фазы PPS от референса и джиттер.

Измерение	Skew (mean)	Jitter ( $\sigma$ )
Нода №2 относительно мастера	34,9 нс	10,3 нс
Нода №1 относительно мастера	4,38 нс	10,2 нс
Нода №2 относительно Ноды №1	39,3 нс	6,1 нс

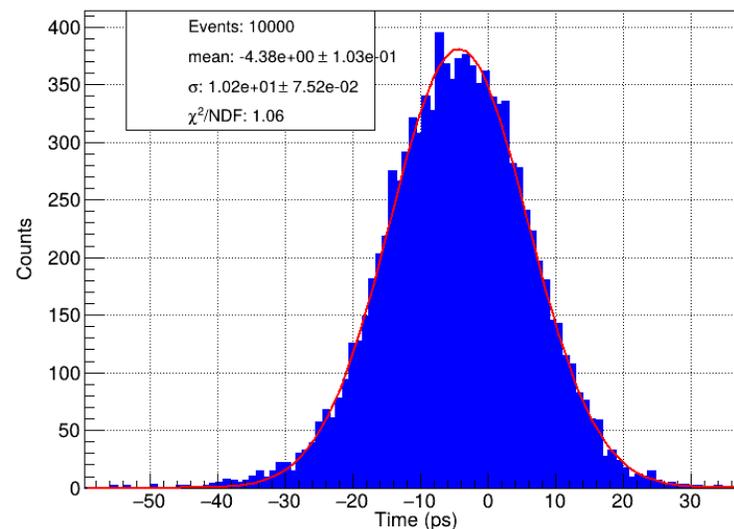


It\_node\_2\_rel\_to\_GM.Wfm.csv - Raw Data Histogram



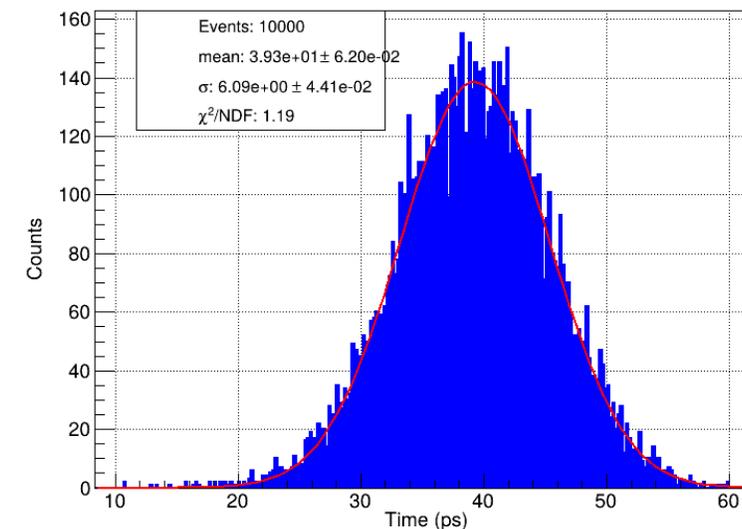
Нода №2 относительно мастера

It\_node\_1\_rel\_to\_GM.Wfm.csv - Raw Data Histogram



Нода №1 относительно мастера

It\_node\_2\_rel\_to\_node\_1.Wfm.csv - Raw Data Histogram



Нода №2 относительно Ноды №1

## MiniSAS



Pin function	Side B Pin	Side A Pin	Pin function
GND	B1	A1	GND
Tx0+	B2	A2	Rx0+
Tx0-	B3	A3	Rx0-
GND	B4	A4	GND
Tx1+	B5	A5	Rx1+
Tx1-	B6	A6	Rx1-
GND	B7	A7	GND
Unipolar 0	B8	A8	Unipolar 7
Unipolar 1	B9	A9	Unipolar 3
Unipolar 2	B10	A10	Unipolar 4
Unipolar 6	B11	A11	Unipolar 5
GND	B12	A12	GND
Tx2+	B13	A13	Rx2+
Tx2-	B14	A14	Rx2-
GND	B15	A15	GND
Tx3+	B16	A16	Rx3+
Tx3-	B17	A17	Rx3-
GND	B18	A18	GND



